

DATA SHEET

数据手册

KHW12B250-1GX

双通道12位250MSPS模数转换器

双通道12位250MSPS模数转换器

KHW12B250-1GX

KHW12B250-1GX 使用说明

V 2.1

主要特征

- 本产品 pin-to-pin 兼容 AD9230
- 信噪比 (SNR): 68 dBFS (fin 为 70 MHz, 250 MSPS)
- 有效位 ENOB: 11(fin 为 70 MHz, 250 MSPS, -1.0 dBFS)
- 无杂散动态范围 (SFDR): -86 dBFS (fin 为 70 MHz, 250 MSPS, -1.0 dBFS)
- 出色的线性度:
微分非线性 (DNL) = ± 0.4 LSB (典型值)
积分非线性 (INL) = ± 0.7 LSB (典型值)
- 700 MHz 全功率模拟带宽
- 片内基准电压源, 无需外部去耦
- 低功耗
400 mW (250 MSPS, LVDS SDR 模式)
- 可编程输入电压范围
1.5 V (标称值)
- 采用 1.8 V 模拟和数字电源供电
- LVDS 输出, 可选择数据格式
(偏移二进制、二进制补码、格雷码)

表 1 本产品和 ADI 公司 AD9230 性能对比

	SNR	SFDR	ENOB	带宽	功耗
本产品	68dbFS	87dbFS	11	700M	400mW
AD9230	65dbFS	80dbFS	10.4	700M	434mW

注: 测试条件为 70M 输入, 250M 时钟。

应用

- 无线和有线宽带通信
- 电缆反转通路
- 通信测试设备
- 雷达和卫星子系统
- 功率放大器线性化

产品描述

KHW12B250-1GX 是一款 12 位单芯片采样模数转换器 (ADC), 专门针对高性能、低功耗和易用性进行了优化。该产品的转换速率最高可达 250 MSPS, 具有杰出的动态性能, 适合宽带载波和宽带系统使用。芯片上集成了全部必需功能, 包括采样保持 (T/H) 与基准电压源, 可提供完整的信号转换解决方案。

该 ADC 要求采用 1.8 V 模拟电源供电及差分时钟信号, 以便充分发挥其工作性能。数字输出为 LVDS (ANSI-644) 兼容, 支持二进制补码、偏移二进制或格雷码格式。该 ADC 还提供数据时钟输出, 用于正确进行输出数据定时。

KHW12B250-1GX 采用先进的 CMOS 工艺制造, 提供 56 引脚 QFN 封装, 额定温度范围为 -55° C 至 +125° C 温度范围。

功能模块框图

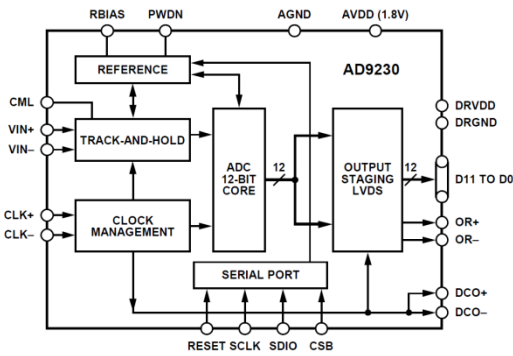


图 1

本产品突出性能特点

1. 高性能: 在输入频率 70M, 采样频率 250M 时信噪比为 68db。

双通道12位250MSPS模数转换器

KHW12B250-1GX

2. 低功耗：在 250M 采样率时功耗仅为 400mW。

3. 易于使用：LVDS 数据输出，而且便于和 FPGA 配合使用。片上参考和采样保持电路给系统设计带来了很高的灵活性。而 1.8V 的单电源供电大大简化了系统的电源设计。

4. 串口控制：标准的串行接口可以支持芯片的各种功能设置，像数据格式控制、时钟占
- 空比控制、电源关断、增益调节和输出测试模式产生等等。

5. 管脚兼容：本产品脚对脚兼容 AD9230 和 AD9211。
- 管脚分布和功能描述

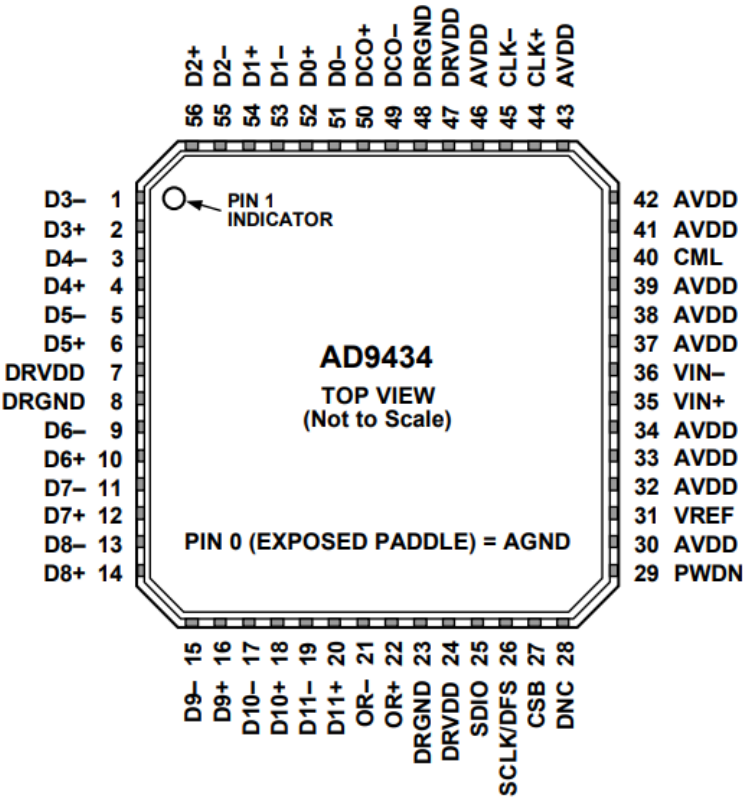


图 2 管脚分布

表 2 管脚功能描述

管脚序号	输入/输出	管脚名称	描述
30, 32 to 34, 37 to 39,41 to 43, 46	输入	AVDD	1.8V 模拟电源
7, 24, 47	输入	DRVDD	1.8 V 数字输出电源
0	输入	AGND ¹	模拟地
8, 23, 48	输入	DRGND ¹	数字输出地
35	输入	VIN+	模拟输入正
36	输入	VIN-	模拟输入负
40	输出	CML	输出共模管脚。可通过 SPI 控制使能，这个管脚可提供模拟输入的偏置共模电压 1.0V。

双通道12位250MSPS模数转换器

KHW12B250-1GX

44	输入	CLK+	时钟输入正（输入时钟共模 1.0V）
45	输入	CLK-	时钟输入负（输入时钟共模 1.0V）
21	输出	OR-	超量程标志位负端
22	输出	OR+	超量程标志位正端
31	输入/输出	VREF	电压参考，内部参考/输入参考/输出参考；使用 SPI 控制，默认情况下为使用内部参考。
28		DNC	
25	输入/输出	SDIO	串口数据输入/输出；片内具有 1K 欧姆下拉电阻
26	输入	SCLK/DFS	串口时钟/数据模式选择；片内具有 1K 欧姆下拉电阻
27	输入	CSB	芯片串口选择（低有效）；片内具有 1K 欧姆下拉电阻
29	输入	PWDN	芯片 power-down；片内具有 1K 欧姆下拉电阻
49	输出	DCO-	数据输出同步时钟负
50	输出	DCO+	数据输出同步时钟正
51-56, 1-6, 9-20	输出		数字输出

△注意：本产品第 28 脚和 31 脚用法与 AD9230 不同。

直流规格

AVDD=1.8V，DRVDD=1.8V，使用片内参考，温度为 25 摄氏度。

表 3 直流规格

参数	最小值	典型值	最大值	单位
分辨率		12		位
DNL		±0.4		LSB
INL		±0.7		LSB
模拟差分输入范围 （差分峰峰值）		1.5		伏
模拟输入共模		1.0		伏
AVDD 电源电压	1.7	1.8	1.9	伏
DRVDD 电源电压	1.7	1.8	1.9	伏
功耗		400	420	毫瓦

表 4 绝对最大额定值

		最小值	最大值	单位
电源电压	AVDD	-0.3	2.1	伏
	DRVDD	-0.3	2.1	
输入端电压	模拟输入端电压/VREF	-0.3	AVDD+0.2	
	时钟输入端电压	-0.3	AVDD+0.2	
	SDIO,SCLK/DFS,CSB,PWDN	-0.3	2.1	
温度范围	工作温度范围	-55	150	摄氏度
	储存温度范围	-65	150	

双通道12位250MSPS模数转换器

KHW12B250-1GX

交流规格

AVDD=1.8V，DRVDD=1.8V，采样时钟为 250MHz，模拟正弦信号输入幅度为-1dbFS，使用片内参考，温度为 25 摄氏度。

表 5 交流规格

参数		最小值	典型值	最大值	单位
信 噪 比 (SNR)	f _{IN} =10MHz		68.2		dB
	f _{IN} =70MHz		68.0		dB
	f _{IN} =225MHz		67.4		dB
信号与噪声 谐波波比 (SNDR)	f _{IN} =10MHz		68.1		dB
	f _{IN} =70MHz		67.9		dB
	f _{IN} =225MHz		67.2		dB
有 效 位 (ENOB)	f _{IN} =10MHz		11		位
	f _{IN} =70MHz		11		位
	f _{IN} =225MHz		10.9		位
无杂散动态范围 (SFDR)	f _{IN} =10MHz		86		dB
	f _{IN} =70MHz		86		dB
	f _{IN} =225MHz		82		dB
模拟带宽			700		MHz

表 6 数字特性

参数	测试条件	最小值	典型值	最大值	单位
数字输入（SDIO,SCLK/DFS,CSB,PWDN）					
V _{IH} ,高电平输入电压		1.3			V
V _{IL} ,低电平输入电压				0.4	V
I _{IH} ,高电平输入电流	V _{HIGH} =1.8V		10		uA
I _{IL} ,低电平输入电流	V _{LOW} =0V		0		uA
数字输出（SDIO）					
V _{OH} ,高电平输出电压		DRVDD-0.1	DRVDD		V
V _{OL} ,低电平输出电压			0	0.1	V
LVDS 数字输出					
V _{ODH} ,高电平输出差分电压	外部端接 100Ω	250	350	500	mV
V _{ODL} ,低电平输出差分电压	外部端接 100Ω	-500	-350	-250	mV

双通道12位250MSPS模数转换器

KHW12B250-1GX

V_{OCM} , 输出共模电压			1.05		V
--------------------	--	--	------	--	---

输出数据格式

本产品输出数据格式为偏移二进制输出模式（Offset Binary Output Mode）和二进制补码输出模式（Twos Complement Mode）。表 7 给出了一个输出编码格式示例。

表 7 数字输出编码

输入（V）	条件（V）	偏移二进制输出模式	二进制补码输出模式	OR±
VIN+ – VIN–	< –0.75 – 0.5LSB	0000 0000 0000	1000 0000 0000	1
VIN+ – VIN–	=–0.75	0000 0000 0000	1000 0000 0000	0
VIN+ – VIN–	=0	1000 0000 0000	0000 0000 0000	0
VIN+ – VIN–	=+0.75	1111 1111 1111	0111 1111 1111	0
VIN+ – VIN–	> +0.75 + 0.5LSB	1111 1111 1111	0111 1111 1111	1

静电防护

表 8 ESD 等级

		最大值	单位
$V_{(ESD)}$ Electrostatic discharge	HBM, MIL-STD-883K / Method 3015.9	± 2500	V
$V_{(ESD)}$ Electrostatic discharge	CDM, ESDA/JEDEC JS-002-2018	± 1000	V

表 9 寄存器列表

地址 (Hex)	寄存器名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值	注释
FF	传输寄存器	0	0	0	0	0	0	0	SW Transfer	0x00	把寄存器值 从 master 传 输到slave
00	端口设置寄存器	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	
08	模式寄存器	0	0	PDWN: 1=power down enable 0=power	0	0	Power down 模式 000=normal (power up, default) 001=full power down Note that external PDWN pin overrides this setting			0x00	决定芯片工 作的各种模 式(本寄存器 写入 0x21 时 执 行 power

双通道12位250MSPS模数转换器

KHW12B250-1GX

				down disable							down)	
10	Offset	8-bit device offset adjustment [7:0] 0111 1111 = +127 codes 0000 0000 = 0 codes 1000 0000 = -128 codes								0x00	ADC 芯 片 offset校准	
0D	TEST_10	(For user-defined mode only, set Bits[3:0] = 1000) 00 = Pattern 1 only 01 = toggle P1/P2 10 = toggle P1/0000 11 = toggle P1/P2/0000	Reset PN23 gen: 1 = on 0 = off (default)	Reset PN9 gen: 1 = on 0 = off (default)	Output test mode: 0000 = off (default) 0001 = midscale short 0010 = +FS short 0011 = -FS short 0100 = checkerboard output 0101 = PN23 sequence 0110 = PN9 0111 = one/zero word toggle 1000 = user defined 1001 = unused 1010 = unused 1011 = unused 1100 = unused (Format determined by OUTPUT_MODE)					0x00	芯 片 的 测 试 模 式, 输 出 测 试 码。 设 置 测 试 码: P1 = Reg 0x19, Reg 0x1A P2 = Reg 0x1B, Reg 0x1C.	
0F	模拟控制端	0	0	0	0	0	Analog input disable: 1 = on 0 = off (default)	0	0	0x00		
14	输出模式	0	0	0	Output enable: 0 = enable (default) 1 = disable	DDR: 1 = enabled 0 = disabled (default)	Output invert: 1 = on 0 = off (default)	Data format select: 00 = offset binary (default) 01 = twos complement 10 = Gray code			0x00	

双通道12位250MSPS模数转换器

KHW12B250-1GX

15	LVDS输出摆幅调整	0	0	0	0	LVDS course adjust: 0 = 3.5 mA (default) 1 = 2.0 mA	LVDS fine adjust: 001 = 3.50 mA 010 = 3.25 mA 011 = 3.00 mA 100 = 2.75 mA 101 = 2.50 mA 110 = 2.25 mA 111 = 2.00 mA			0x00	
16	输出相位	Output clock polarity 1 = inverted 0 = normal (default)	0	0	0	0	0	0	0	0x00	
17	输出时钟延迟调整	0	0	0	0	Output clock delay: 0000 = 0 0001 = -1/10 0010 = -2/10 0011 = -3/10 0100 = reserved 0101 = +5/10 0110 = +4/10 0111 = +3/10 1000 = +2/10 1001 = +1/10				0x00	调整输出时钟相位
18	VREF调整	VREF select 00 = internal VREF (20 k Ω pull-down) 01 = import VREF (0.59 V to 0.8 V on VREF pin) 10 = export VREF (from internal reference)		0	Input voltage range setting: 11100 = 1.60 11101 = 1.58 11110 = 1.55 11111 = 1.52 00000 = 1.50 00001 = 1.47				00101 = 1.36 00110 = 1.34 00111 = 1.31 01000 = 1.28 01001 = 1.26 01010 = 1.23	0x00	

双通道12位250MSPS模数转换器

KHW12B250-1GX

		11 = not used			00010 = 1.4401011 = 1.20 00011 = 1.4201100 = 1.18 00100 = 1.39						
19	USER_PATT1_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined Pattern, 1 LSB
1A	USER_PATT1_MSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined Pattern, 1 MSB
1B	USER_PATT2_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined Pattern, 2 LSBs
1C	USER_PATT2_MSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined Pattern, 2 MSB
2A	OVR_CONFIG	0	0	0	0	0	0	OR±position (DDR mode only): 0 = Pin 9, Pin 10 1 = Pin 21, Pin 22	OR±enable: 1 = on (default) 0 = off	0x01	
2C	输入耦合	0	0	0	0	0	DC coupling enable	0	0	0x00	默认为 AC Coupling
2D		0	0	0	0	0	0	0	DCC_EN	0x00	

工作时序

双通道12位250MSPS模数转换器

KHW12B250-1GX

本产品的流水线延迟（Pipeline Delay）为 9 个时钟周期。时序图如下图所示。

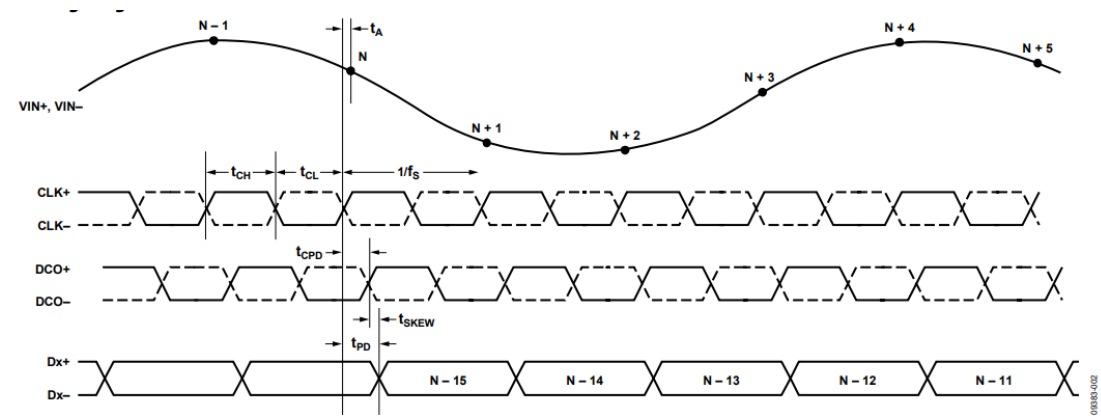


图 3 单倍数据速率模式（默认情况）

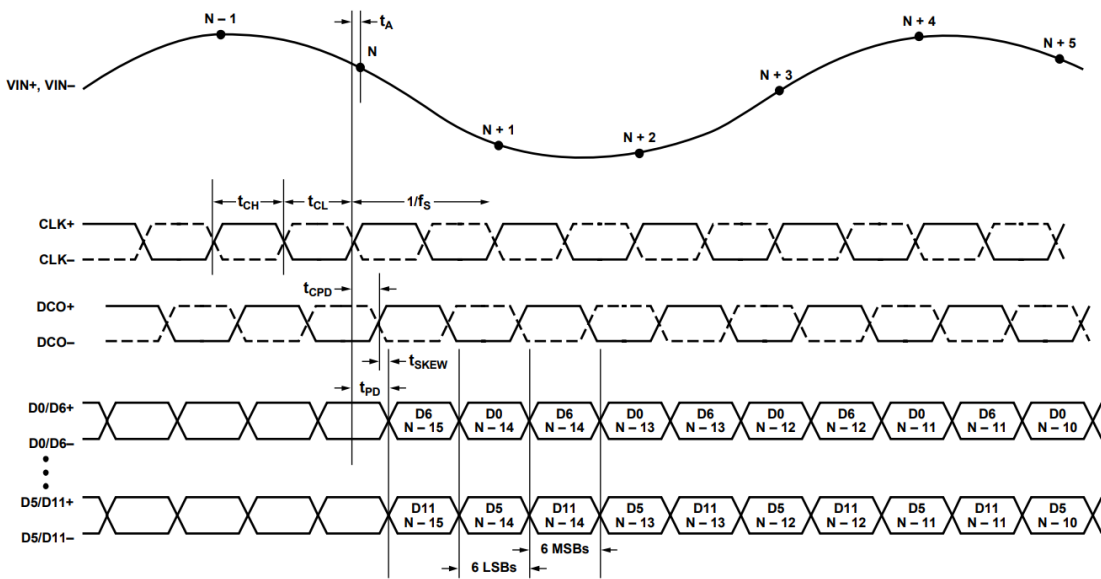


图 4 双倍数据速率模式

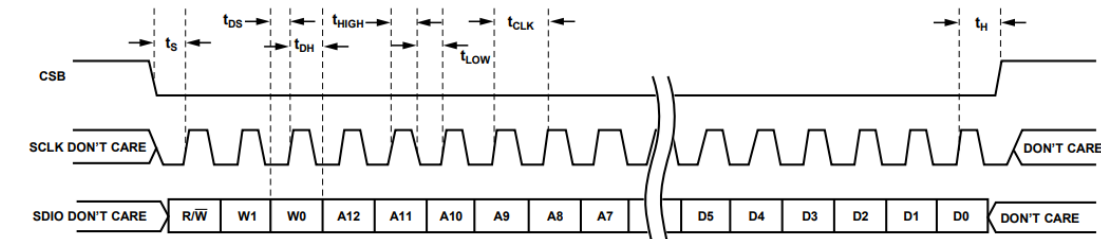


图 5 SPI 串口工作时序

等效电路

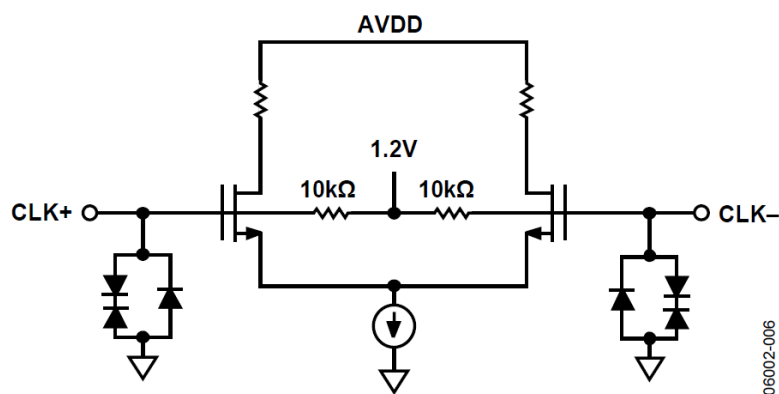


图 6 ADC 芯片中的时钟输入端等效输入电路

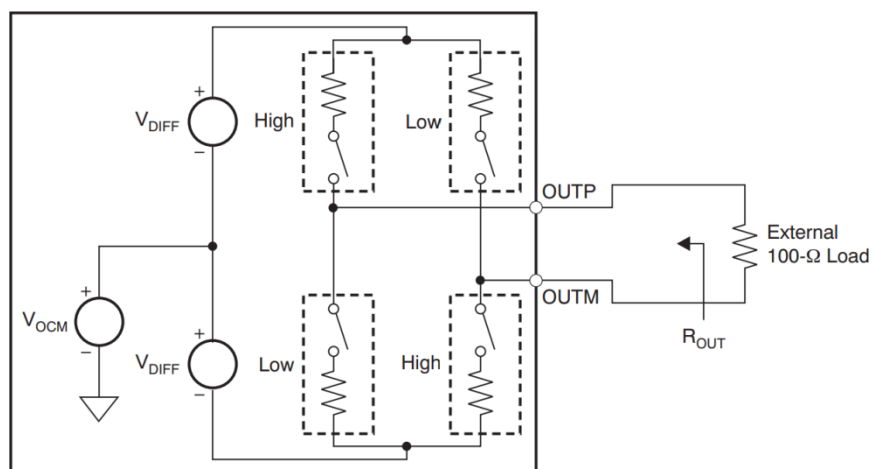


图 7 LVDS 输出电路

下图为 AD8138 驱动的情况。

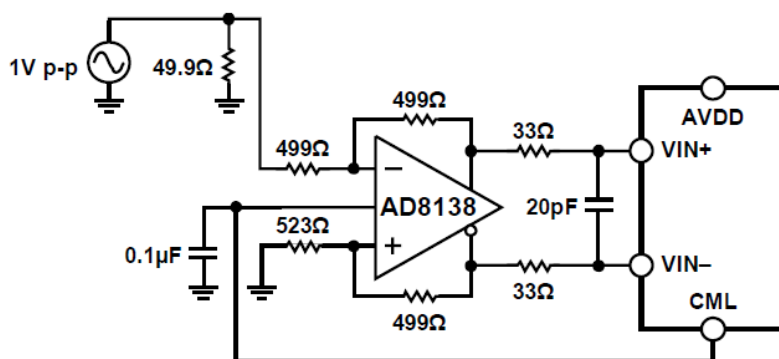


图 8 AD8138 驱动 ADC

应用信息

电源和接地建议。当连接电源至本芯片时，建议使用两个独立的 1.8 V 电源：一个电源用于模拟输出（AVDD），另一个电源用于数字输出（DRVDD）。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件引脚的位置，并尽可能缩短走线长度。

裸露焊盘散热块建议。为获得最佳的 ADC 芯片电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至地焊盘（GND）。PCB 上裸露的连续铜层应与 ADC 芯片的裸露焊盘（引脚 0）匹配。铜层上应有多个过孔，获得尽可能低的热阻路径以通过 PCB 底部进行散热。这些过孔应填满焊料或插入插针。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。可以参考下图所示的 PCB 布局布线范例。如需了解有关封装和芯片级封装 PCB 布局布线的详细信息，请参阅应用笔记 AN-772：“LFCSP 封装设计与制造指南”（www.analog.com）。

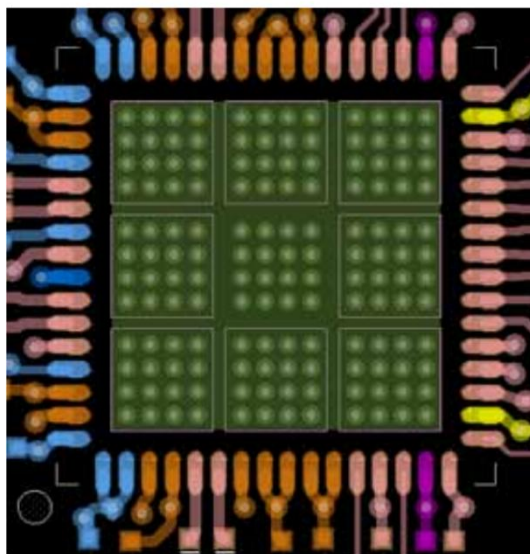


图 9 ADC 芯片裸露焊盘的推荐 PCB 布局

LVDS 输出线 PCB 设计建议。PCB 设计时请一定注意 LVDS 输出线的等长处理！如果不注意输出线（既包括差分对内也包括差分对间）等长处理，会造成数据接受器件（如 FPGA）对 ADC 采样时形成严重的时序错误！输出的数字信号和随路时钟是以 LVDS 差分对的形式输出的，差分输出符合 ANSI-644 LVDS 标准。LVDS 驱动器电流来自芯片，并将各输出端的输出电流设置为标称值 3.5 mA。LVDS 接收器输入端有一个 100 Ω 差分端接电阻，因此接收器摆幅标称值为 350 mV(或 700 mV p-p 差分)。ADC LVDS 输出便于与定制 ASIC 和 FPGA 中的 LVDS 接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将

双通道12位250MSPS模数转换器

KHW12B250-1GX

100 Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过 24 英寸，差分输出走线应尽可能彼此靠近且长度相等。

封装形式

本产品采用 QFN-56 封装，封装尺寸如下所示（图中尺寸单位为毫米）：

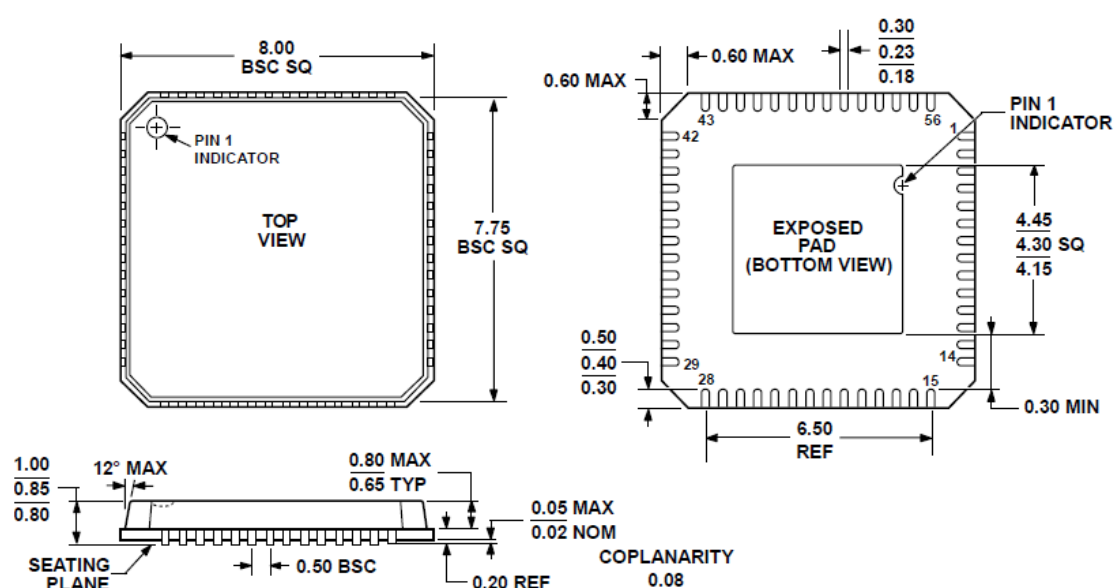


图 10 封装尺寸